

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-257306
(43)Date of publication of application : 21.09.2001

(51)Int.CI.	H01L	25/04
	H01L	25/18
	H01L	23/28
	H01L	23/36
	H05K	1/02
	H05K	3/32
	H05K	3/34

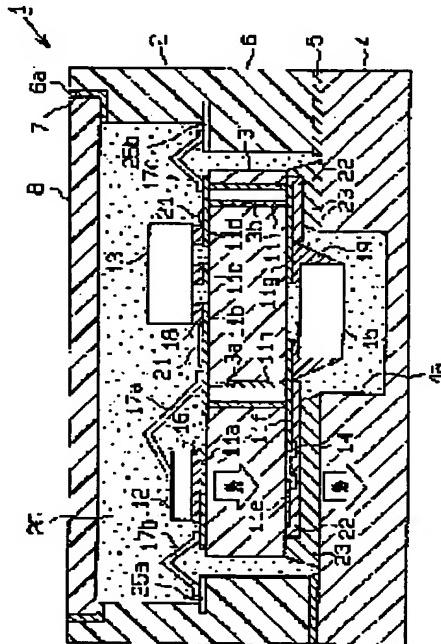
(21)Application number : 2000-067404 (71)Applicant : DENSO CORP
(22)Date of filing : 10.03.2000 (72)Inventor : NOMURA TORU

(54) HYBRID IC DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a cost-reduced hybrid IC device and a method of manufacturing the same.

SOLUTION: In a package 2 of the hybrid IC device 1, a circuit board 3 is disposed. The circuit board 3 is mounted with a plurality of electronic components, including a power element 12. On an upper face of the circuit board 3, the power element 12, flip chip IC 13, or the like are bonded by solder 16, 18. On a lower face of the circuit board 3, a chip capacitor 15 or the like are bonded by a conductive adhesive 19. The chip capacitor 15, formed on the lower face of the circuit board 3, is housed in a recessed part 4a of a metal case 4, which constitutes the package 2. The circuit board 3 and the metal case 4 are bonded together via an adhesive 23 having high thermal conductivity.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特關2001-257306

(P2001-257306A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl.*	識別記号	F I	マーク* (参考)
H 0 1 L 25/04		H 0 1 L 23/28	K 4 M 1 0 9
	25/18	H 0 5 K 1/02	F 5 E 3 1 9
	23/28		B 5 E 3 3 8
	23/36	3/32	
		3/34	5 0 7 C 5 F 0 3 6
H 0 5 K 1/02		H 0 1 L 25/04	Z
		審査請求 未請求 請求項の数 5 OL (全 7 頁)	最終頁に統く

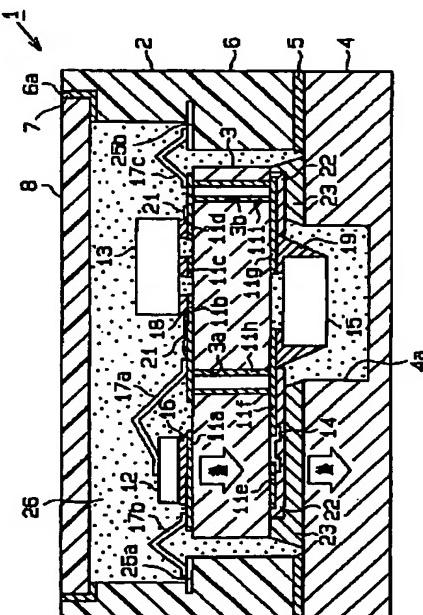
(21)出願番号	特願2000-67404(P2000-67404)	(71)出願人	000004280 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成12年3月10日(2000.3.10)	(72)発明者	野村 橙 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
(74)代理人	100068755 弁理士 恩田 博宣 (外1名)		

(54) [発明の名称] 湿成集積回路装置及びその製造方法

(57) 【要約】

【課題】低コスト化を図ることができる混成集積回路装置及びその製造方法を提供する。

【解決手段】混成集積回路装置1のパッケージ2内には、回路基板3が配設され、同回路基板3には、パワー素子12を含めた複数の電子部品が搭載されている。回路基板3の上面には、パワー素子12及びフリップチップIC13等がはんだ16, 18により接合されるとともに、回路基板3の下面には、チップコンデンサ15等が導電性接着剤19により接合されている。パッケージ2を構成する金属ケース4の凹部4aに回路基板3下面のチップコンデンサ15が収納され、この状態で回路基板3と金属ケース4とが熱伝導性の高い接着剤23を介して接合されている。



【特許請求の範囲】

【請求項1】 パワー素子を含む複数の電子部品を回路基板の両面に搭載した混成集積回路装置において、前記回路基板の第1の面に少なくともパワー素子がはんだにより接合されるとともに、前記回路基板の第2の面上に電子部品が導電性接着剤により接合されていることを特徴とする混成集積回路装置。

【請求項2】 前記パワー素子は、表面実装されていることを特徴とする請求項1に記載の混成集積回路装置。

【請求項3】 前記第2の面において、前記パワー素子の発熱により表面温度が高くなる部位を、熱伝導性の高い接着剤を介して放熱部材に接合したことを特徴とする請求項1に記載の混成集積回路装置。

【請求項4】 前記放熱部材には、前記第2の面の電子部品を収納するための収納部を形成したことを特徴とする請求項3に記載の混成集積回路装置。

【請求項5】 パワー素子を含む複数の電子部品を回路基板の両面に搭載した混成集積回路装置の製造方法において、

前記回路基板の第1の面に少なくともパワー素子を含む電子部品をはんだリフローにてはんだ付けするとともに、前記回路基板の第2の面上に電子部品を導電性接着剤にて接合したことを特徴とする混成集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パワー素子を含む複数の電子部品を回路基板の両面に搭載した混成集積回路装置に関するものである。

【0002】

【従来の技術】従来、混成集積回路装置において、その小型化や高集積化のために回路基板の両面にIC等の電子部品をはんだ用いて搭載することが提案され、実用化されている。

【0003】この混成集積回路装置の一例を図10に示す。図10に示すように、混成集積回路装置31のパッケージ32内には回路基板33が配設されている。回路基板33の上面には、パワー素子34、フリップチップIC35等が搭載され、回路基板33の下面には、チップコンデンサ36等が搭載されている。

【0004】パワー素子34は、チップ34aが金属フレーム34bに接合された状態でモールド材34cによりパッケージされ、さらに、同パッケージには、放熱を確保するための放熱板38がネジ止めされている。また、パワー素子34の金属フレーム34bが、回路基板33に対して立設した状態で回路基板33の部品穴33aに挿入され、その挿入部分がはんだ接合されている。フリップチップIC35は、その下面に形成された複数の電極が、回路基板33上の導体パターン39aにはんだ接合されている。チップコンデンサ36は、導体パタ

ーン39b、39cにおいてはんだ接合されている。

【0005】混成集積回路装置31のパッケージ32は、金属ケース41と、樹脂ケース42と、樹脂蓋43により構成されている。樹脂ケース42には、外部と接続するための金属端子44が設けられる。この金属端子44は、回路基板33に設けられた穴33bに挿入され、その挿入部分がはんだ接合されている。また、金属ケース41と、チップコンデンサ36との間には、絶縁シート45が設けられている。なお、パッケージ32内には、ポッティング材46が充填され、電子部品34、35、36等を保護している。

【0006】回路基板33に電子部品34、35、36等を実装する際には、先ず、回路基板33の上面に、クリームはんだを印刷した後、その部分にフリップチップIC35等の表面実装部品を載せる。そして、リフロー炉内でクリームはんだを溶融させてはんだ接合を実施する。次いで、回路基板33の下面に、接着剤47を塗布するとともにチップコンデンサ36等の電子部品を貼り付け接着剤を乾燥させる。これにより、チップコンデンサ36等の電子部品が回路基板33の下面に仮止めされる。その後、回路基板33にパワー素子34の金属フレーム34bと金属端子44を挿入し、その状態で回路基板33の下面を溶融はんだの表面に接触させることによって、噴流はんだ付けを実施する。その結果、パワー素子34、金属端子44、チップコンデンサ36等が回路基板33に接合される。

【0007】

【発明が解決しようとする課題】ところが、噴流はんだ付けにて回路基板33の下面の接合を実施する場合は、既述のようにチップコンデンサ36を仮止めする工程等の多くの工程が必要であり、工程数が増えコストアップを招いてしまう。

【0008】また、パワー素子34に関して、チップ34aをフレーム34bに載せてパッケージングするとともに放熱板38を組み付けたものを回路基板33上に実装する構成であると、接続数、部品、加工工数が増えてコストアップとなる。さらに、パワー素子34は、回路基板33に対して立設した状態となっているので、パッケージ32内におけるデッドスペースが増えるといった問題が生じていた。

【0009】本発明は、上記問題に着目してなされたものであって、第1の目的は、低コスト化を図ることができる混成集積回路装置及びその製造方法を提供することである。また第2の目的は、第1の目的に加えて小型化を図ることができる混成集積回路装置を提供することである。

【0010】

【課題を解決するための手段】請求項1に記載の混成集積回路装置によれば、回路基板の第1の面に少なくともパワー素子がはんだにより接合されるとともに、第2の

面に電子部品が導電性接着剤により接合されており、第2の面における部品実装を噴流はんだ付けによらず導電性接着剤を用いることにより製造工程を簡素化でき、コストの低減を図ることができる。

【0011】また、混成集積回路装置の製造方法として、請求項5に記載のように、回路基板の第1の面にパワー素子を含む電子部品をはんだリフローにてはんだ付けするとともに、その回路基板の第2の面に電子部品を導電性接着剤にて接合する。よって、従来方式のように第2の面における電子部品の実装を、噴流はんだ付けにて実施すると、加工工程数が増しコストアップしてしまうが、本発明では、導電性接着剤にて実施することにより、製造工程を簡素化でき、コストの低減を図ることができる。

【0012】請求項2に記載のように、パワー素子が表面実装されている構成とし、パワー素子にて発生する熱をはんだを介して回路基板に効率よく伝達して放熱性を確保できることから、図10の従来のように、回路基板33に対して立設した状態でパワー素子34を設ける場合に比べ、混成集積回路装置の小型化が可能となる。

【0013】請求項3に記載のように、第2の面において、パワー素子の発熱により表面温度が高くなる部位を、熱伝導性の高い接着剤を介して放熱部材に接合すると、熱を効率よく放熱部材に伝達でき、放熱性を確保できる。

【0014】請求項4に記載のように、放熱部材には、第2の面の電子部品を収納するための収納部を形成すると、第2の面に厚い電子部品を搭載した場合にも、その部品を収納部に収めるようにすることで、該収納部以外の部分において放熱部材と回路基板とを近接して配置することができる。これにより、回路基板側の熱が放熱部材に効率よく伝達され、放熱性の向上を図ることができる。

【0015】

【発明の実施の形態】以下、この発明を具体化した実施の形態を図面に従って説明する。本実施の形態における混成集積回路装置には、アクチュエータを駆動するためのパワー素子（例えば、IGBT）と、それを制御するための制御回路を構成する電子部品群とが搭載されている。

【0016】図1は、本実施の形態における混成集積回路装置1の断面図を示す。図1に示すように、混成集積回路装置1のパッケージ2内には、回路基板3が配設され、同基板3にはパワー素子を含めた複数の電子部品が実装されている。

【0017】混成集積回路装置1のパッケージ2は、放熱部材として機能する金属ケース4と、金属ケース4上に接着剤5にて固定された樹脂ケース6と、樹脂ケース6の上部の凹部6aに接着剤7を介して嵌装された樹脂蓋8とから構成されている。

【0018】回路基板3において、セラミックからなる絶縁基材の両面には導体パターン11a～11gが形成されている。回路基板3の第1の面（図1においては上面）には、パワー素子（チップ）12、フリップチップIC13等が搭載され、第2の面（図1においては下面）には、抵抗体14、チップコンデンサ15等の受動素子が搭載されている。

【0019】具体的には、パワー素子（チップ）12は、下面全体がはんだ16により導体パターン11aに接合され、上面に形成された電極がアルミワイヤ17aにより導体パターン11bに接合されている。パワー素子12の駆動に伴う熱ははんだ16を通してパワー素子12の下方の回路基板3に伝播することになる。フリップチップIC13は、下面に形成された複数の電極がはんだ18により導体パターン11b, 11c, 11dに接合されている。前記パワー素子12の真下における回路基板3の下面には、抵抗体14が印刷法にて形成されている。同抵抗体14は、回路基板3の導体パターン11eと導体パターン11fとの間に配設されている。チップコンデンサ15において、側面の電極が導体パターン11f, 11gと導電性接着剤（例えば、銀-エボキシ系接着剤）19にて接合され、同コンデンサ15は導体パターン11fと導体パターン11gとの間に接続されている。

【0020】このように、本実施の形態の混成集積回路装置1は、回路基板3の第1の面（上面）にパワー素子12、フリップチップIC13等がはんだ16, 18により接合されるとともに、回路基板3の第2の面（下面）に電子部品15が導電性接着剤19により接合されている。

【0021】回路基板3には、スルーホール3a, 3bが設けられ、このスルーホール3a, 3bの壁面にも導体パターン11h, 11iが形成されている。このスルーホール3a, 3b壁面の導体パターン11h, 11iによって、回路基板3の上面に形成された導体パターン11b, 11dと下面に形成された導体パターン11f, 11gとが電気的に接続され、パワー素子12を駆動するための所望の回路が構成されている。

【0022】また、回路基板3の上面には、保護ガラス層21が形成されている。この保護ガラス層21は、部品実装時に印刷されるはんだペーストが必要な部分以外に流れないようにするためのものである。

【0023】回路基板3の下面には絶縁層22が形成され、この絶縁層22にて導体パターン11e, 11f, 11g及び抵抗体14が覆われており、金属ケース4との電気的絶縁が確保されている。そして、このようにして電気的絶縁が確保された部位が接着剤23を介して金属ケース4に接合されている。ここで、接着剤23は、熱伝導性の高い接着剤（具体的には、アルミナの粉末を添加した接着剤）を用いる。そして、パワー素子12の

発する熱は、素子12の下のはんだ16を通して回路基板3から接着剤23を介して金属ケース4に効率よく伝わる。

【0024】また、本実施の形態の金属ケース4には、収納部としての凹部4aが形成されており、この凹部4aにチップコンデンサ15を収めるようにしている。これにより、凹部4a以外での金属ケース4と回路基板3とが近接して配置でき、回路基板3側から金属ケース4に効率よく熱が伝達できる。

【0025】樹脂ケース6には、外部と接続するための金属端子25a, 25bが配設されている。金属端子25aと回路基板3上面の導体パターン11aとがアルミワイヤ17bにより接続されている。同様に、金属端子25bと導体パターン11dとがアルミワイヤ17cにより接続されている。また、パッケージ2内にはポッティング材26が充填され、回路基板3に搭載した電子部品を外部雰囲気や振動から保護している。

【0026】次に、混成集積回路装置1の製造方法を、図2～図8を用いて説明する。先ず、図2に示すように、スルーホール3a, 3bが形成された基板3を用意する。そして、基板3の一方の面（例えば、上面）及びスルーホール3a, 3bの壁面に導体パターン11a, 11b, 11c, 11dを形成すべく、上面側からペースト状の導電材を印刷し、乾燥・焼成を行う。続いて、基板3の他方の面（例えば、下面）側から同様に導電材を印刷し、乾燥・焼成を行う。これにより、基板3の両面及びスルーホール壁面に導体パターン11a～11iが形成される。次いで、基板下面に抵抗体ペーストを印刷し、乾燥・焼成を行うことで、図3に示すように、導体パターン11eと導体パターン11fとの間に抵抗体14を形成する。さらに、基板上面にガラスペーストを印刷し、乾燥・焼成を行うことで、図4に示すように、導体パターン11b及び導体パターン11d上に保護ガラス層21を形成する。その後、基板下面に樹脂ベーストを印刷し、紫外線で硬化させて、図5に示すように、導体パターン11e, 11f, 11g及び抵抗体14を被覆する絶縁層22を形成する。

【0027】このようにして、導体パターン11a～11i及び抵抗体14等が形成された回路基板3が製造される。そして、図6に示すように、回路基板3の上面における所望の部位に、はんだペーストを印刷するとともに、パワー素子12、フリップチップIC13等の電子部品を載せ、リフロー炉内において約235°Cでリフローする。これにより、回路基板3の上面における電子部品のはんだ付けが実施される。つまり、パワー素子12がはんだ16を介して導体パターン11aに電気的に接続され、フリップチップIC13がはんだ18を介して導体パターン11b, 11c, 11dに電気的に接続される。

【0028】次いで、図7示すように、回路基板3の下

面における所望の部位に、印刷またはディスペンサーにより導電性接着剤19を塗布するとともに、その接着剤19の上にチップコンデンサ19等の電子部品を載せ、導電性接着剤19を硬化させる。その結果、チップコンデンサ19が導電性接着剤19を介して導体パターン11f, 11gに電気的に接続される。さらに、図8に示すように、パワー素子12上面の電極と導体パターン11bとをアルミワイヤ17aにて電気的に接続する。

【0029】その後、図1に示すように、回路基板3の下面側を接着剤23にて金属ケース4に固定し、さらに、樹脂ケース6の金属端子25a, 25bと導体パターン11a, 11dとをアルミワイヤ17b, 17cにて接続する。そして、ポッティング材26を充填した後に、接着剤7を塗布した樹脂ケース6の凹部6aに樹脂蓋8が嵌装される。このようにして混成集積回路装置1が製造される。

【0030】この混成集積回路装置1では、パワー素子12の下面全体がはんだ16を介して回路基板3に接合されているため、図1に示すように、パワー素子12にて発生した熱が回路基板3に効率よく伝達される。また、このパワー素子12の直下となる部分は、熱伝導性の高い接着剤23を介して金属ケース4に接合されており、回路基板3の熱が金属ケース4に効率よく伝わる。さらに、本実施の形態では、抵抗体14に大電流が流れるように構成されている。そのため、この抵抗体14からも熱が発生するが、この抵抗体14の部分も接着剤23を介して金属ケース4に接合されており、抵抗体14にて発生する熱も効率よく金属ケース4に伝達される。

【0031】また、回路基板3の下面において放熱を確保する必要がない部分には、発熱しない電子部品（チップコンデンサ15等）を搭載し、この部分については両面実装構造とすることにより、混成集積回路装置1の化型化・高集積化が図られている。

【0032】以上詳述したように本実施の形態は、以下の特徴を有する。

(1) 回路基板3の上面（第1の面）に、パワー素子12、フリップチップIC13等の電子部品をはんだリフローにてはんだ付けし、さらに、下面（第2の面）にチップコンデンサ15等の電子部品を導電性接着剤19にて接合した。よって、従来方式のように第2の面における電子部品（図10のチップコンデンサ47等）の実装を、噴流はんだ付けにて実施すると、加工工程数が増しコストアップしてしまうが、本実施の形態では、導電性接着剤19にて実施することにより、製造工程を簡素化でき、コストの低減を図ることができる。

【0033】(2) パワー素子12が表面実装されている構成とし、パワー素子12にて発生する熱をはんだ16を介して回路基板3に効率よく伝達して放熱性を確保できることから、図10の従来装置31のように、回路基板3に対して立設した状態でパワー素子34を設け

る場合に比べ、混成集積回路装置1の小型化が実現できる。

【0034】(3) 回路基板3の下面において、パワー素子12の発熱により表面温度が高くなる部位、つまり、パワー素子12の直下となる部分を、熱伝導性の高い接着剤23を介して金属ケース4に接合した。この場合、回路基板3の熱を効率よく金属ケース4に伝達でき、放熱性を確保できる。

【0035】(4) 金属ケース4にチップコンデンサ15を収納するための凹部4aを形成すると、回路基板3の下面に厚い電子部品(チップコンデンサ15)を搭載した場合にも、その部品を収納部4aに収めるようになると、凹部4a以外の部分において、金属ケース4と回路基板3とを近接して配置できる。これにより、回路基板3側の熱が金属ケース4に効率よく伝達され、放熱性の向上を図ることができる。

【0036】なお本発明は、上記以外に次の形態にて具体化できる。上記実施の形態では、金属ケース4に凹部(収納部)4aを形成し、この凹部4aにチップコンデンサ15を収めるようにしたが、図9に示すように、貫通孔4bを形成し、この貫通孔4bにチップコンデンサ15を収めるようにしてもよい。この場合、貫通孔4bが収納部に相当する。また、製造時には、貫通孔4bからボッティング材26を充填でき、実用上好ましいものとなる。

【0037】上記実施の形態における製造方法において、基板上面におけるはんだ接合を、下面における導電性接着剤19の接合よりも先に行なったが、これに限定するものではない。つまり、下面における導電性接着剤19の接合を、上面のはんだ接合よりも先に実施してもよい。

【0038】また、回路基板3の上面に搭載するパワー素子としては、IGBT以外に、パワーMOSトランジスタやバイポーラトランジスタ等に具体化してもよい。

【図面の簡単な説明】

【図1】発明の実施の形態における混成集積回路装置を示す断面図。

【図2】混成集積回路装置の製造方法を説明するための図。

【図3】混成集積回路装置の製造方法を説明するための図。

【図4】混成集積回路装置の製造方法を説明するための図。

【図5】混成集積回路装置の製造方法を説明するための図。

【図6】混成集積回路装置の製造方法を説明するための図。

【図7】混成集積回路装置の製造方法を説明するための図。

【図8】混成集積回路装置の製造方法を説明するための図。

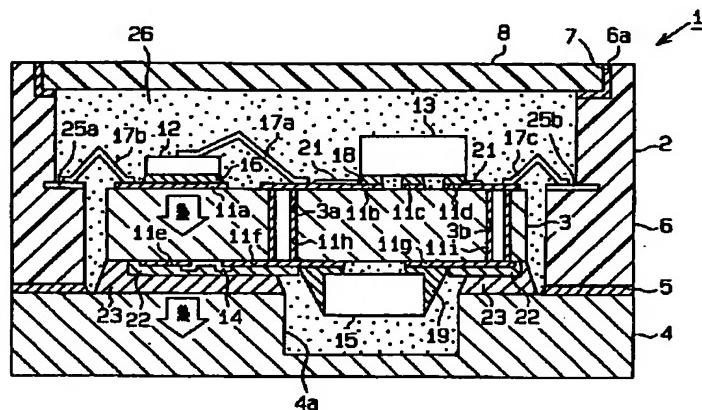
【図9】別の実施の形態の混成集積回路装置を示す断面図。

【図10】従来の混成集積回路装置を示す断面図

【符号の説明】

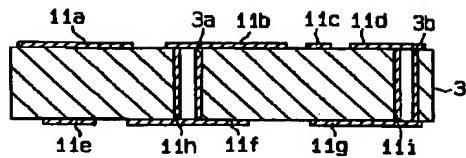
1…混成集積回路装置、3…回路基板、4…放熱部材としての金属ケース、4a…収納部としての凹部、4b…収納部としての貫通孔、12…パワー素子、13…電子部品としてのフリップチップIC、14…電子部品としての抵抗体、15…電子部品としてのチップコンデンサ、16…はんだ、18…はんだ、19…導電性接着剤、23…接着剤。

【図1】

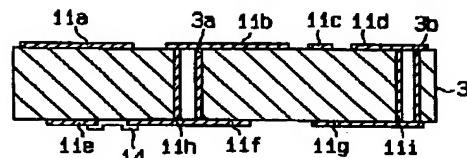


!(6) 001-257306 (P2001-25HJL8

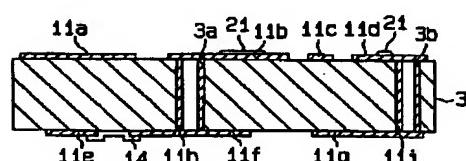
〔図2〕



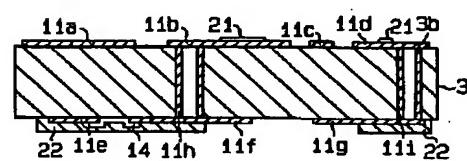
【图3】



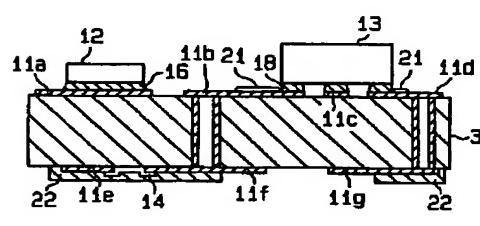
〔図4〕



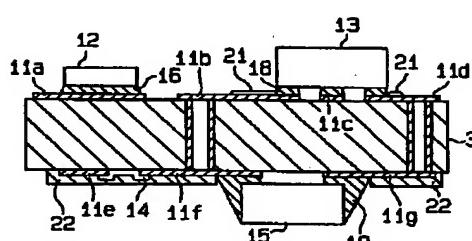
[図5]



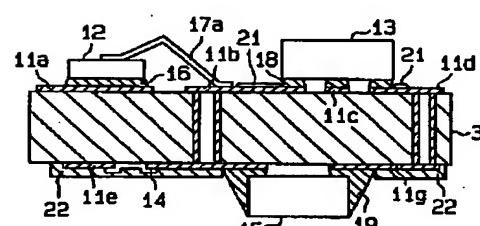
[图6]



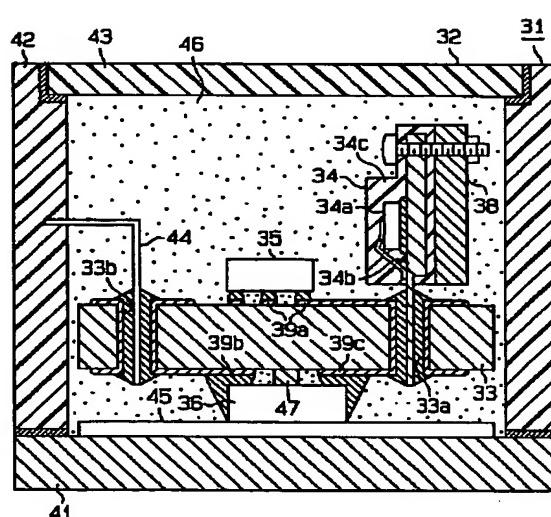
【图7】



【図8】

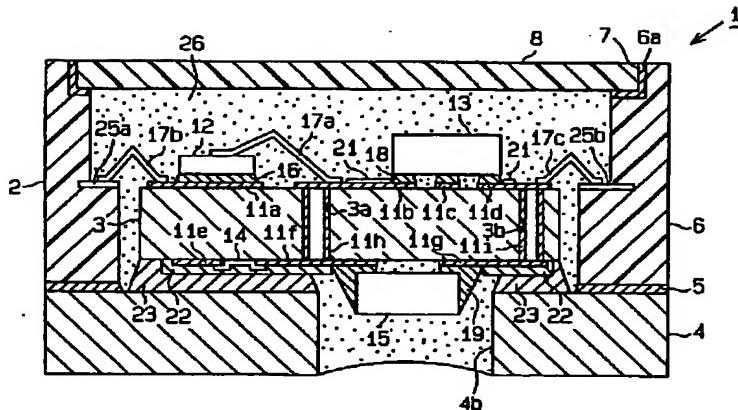


【图10】



!(7) 001-257306 (P2001-25HJ8

【图9】



フロントページの続き

(51) Int.Cl. 7
H O 5 K 3/32
3/34

識別記号
507

F I
H01L 23/36

テーマコード(参考)

F ターム(参考) 4M109 AA01 BA03 CA04 DB02 DB09
GA02 GA05
5E319 AA03 AA08 AB06 AC04 BB05
BB11 CC24 CD15 CD29
5E338 AA02 AA18 BB71 BB75 CC01
EE02
5F036 AA01 BA04 BA23 BB01 BB21
BC05 BE09

THIS PAGE BLANK (USPTO)